

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-088377

(43)Date of publication of application : 02.04.1996

(51)Int.Cl.

H01L 29/861

H01L 27/12

(21)Application number : 06-220636

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.09.1994

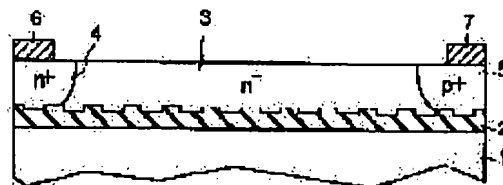
(72)Inventor : OMURA ICHIRO
NAKAGAWA AKIO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To reduce the electric field density of a semiconductor film and obtain the breakdown strength of a semiconductor chip higher than the withstand voltage of a conventional constitution by a method wherein an insulating film which has unevenness on its surface is employed.

CONSTITUTION: An SOI insulating film (buried silicon oxide film) 2 which has unevenness on its surface is formed on a grounded silicon substrate 1. A lightly-doped SOI semiconductor film (n-type silicon active layer) 3 is provided on the buried silicon oxide layer 2 as an i-type layer. The silicon substrate 1 is composed of the buried silicon oxide film 2 and the n-type silicon active layer 3. A semiconductor chip formed on the n-type silicon active layer 3 is provided. With this constitution, carriers in the chip are accumulated in the recessed parts of the buried silicon oxide film 2 and the electric field density of the n-type silicon active layer 3 is reduced, so that the withstand voltage the semiconductor chip formed on the silicon active layer 3 can be improved.



LEGAL STATUS

[Date of request for examination]

15.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by coming to provide the substrate which consists of semi-conductor film formed the insulator layer which has concave heights on a front face, and on this insulator layer, and the semiconductor device formed at said semi-conductor film.

[Claim 2] The semiconductor device characterized by coming to provide the substrate which consists of semi-conductor film formed the insulator layer where it floated electrically and the electrified electrode was embedded, and on this insulator layer, and the semiconductor device formed in said semi-conductor film.

[Claim 3] It is the semiconductor device which it comes to provide the substrate which consists of semi-conductor film formed an insulator layer and on this insulator layer, and the semiconductor device formed in said semi-conductor film, and the thickness of said insulator layer is beyond the drift length of said semi-conductor film with which said semiconductor device was formed, and an impurity is contained in said semi-conductor film, and is characterized by the concentration profile of the direction of drift length of said impurity in the drift region of said semi-conductor film being a S character mold.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor device which formed the semiconductor device in the SOI (Semiconductor On Insulator) substrate.

[0002]

[Description of the Prior Art] In recent years, many transistors, resistance, etc. are connected to the important parts of a computer or communication equipment so that an electrical circuit may be attained, and the integrated circuit (IC) integrated and formed on 1 chip is used abundantly. What contains a high proof-pressure semiconductor device in such an IC is called Power IC.

[0003] Drawing 37 is the sectional view showing the component structure of the conventional high proof-pressure semiconductor device (pin diode).

[0004] Among drawing, 91 show the semi-conductor substrate and the low-concentration i-type semiconductor barrier layer (SOI semi-conductor layer) 93 is formed through the insulator layer (SOI insulator layer) 92 on this semi-conductor substrate 91.

[0005] In the front face of this i-type semiconductor barrier layer 93, diffusion formation of high-concentration n mold emitter layer 94 and the high-concentration p mold emitter layer 95 is carried out alternatively. And the p lateral electrode 95 is formed in the n lateral electrode 96 and p mold emitter layer 95 at n mold emitter layer 94.

[0006] Thus, there are the following problems in this kind of high proof-pressure semiconductor device, only carrying out that high pressure-proofing-ization is attained, since the electrical potential difference which applied voltage is shared with a component body and an insulator layer 92 (distribution), and requires it for a component body is reduced according to the constituted high proof-pressure semiconductor device. That is, since there is a limitation in the electrical potential difference which can share an insulator layer 92, with structure, the further high pressure-proofing-ization has conventionally the problem of being difficult.

[0007]

[Problem(s) to be Solved by the Invention] In the high proof-pressure semiconductor device which used the conventional SOI substrate like ****, since there is a limitation in high pressure-proofing-ization by the SOI insulator layer, there is a problem that the further raise in pressure-proofing is difficult.

[0008] This invention was made in consideration of the above-mentioned situation, and the place made into the purpose is rather than before to offer the semiconductor device equipped with the pressure-proof high semiconductor device.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the semiconductor device concerning this invention (claim 1) is characterized by having the substrate which consists of semi-conductor film formed the insulator layer which has concave heights on a front face, and on this insulator layer, and the semiconductor device formed at said semi-conductor film.

[0010] Moreover, the semiconductor device concerning other this inventions (claim 2) is characterized

by having the substrate which consists of semi-conductor film formed the insulator layer where it floated electrically and the electrified electrode was embedded, and on this insulator layer, and the semiconductor device formed in said semi-conductor film.

[0011] Moreover, the semiconductor device concerning other this inventions (claim 3) It has the substrate which consists of semi-conductor film formed an insulator layer and on this insulator layer, and the semiconductor device formed in said semi-conductor film. The thickness of said insulator layer It is beyond the drift length of said semi-conductor film with which said semiconductor device was formed, and an impurity is contained in said semi-conductor film, and it is characterized by the concentration profile of the direction of drift length of said impurity in the drift region of said semi-conductor film being a S character mold.

[0012]

[Function] According to this invention (claim 1), the pressure-proofing of a semiconductor device to which the carrier in a component was formed in the crevice of an insulator layer at the semi-conductor film since the electric-field consistency of the bank and the semi-conductor film became small becomes high.

[0013] According to this invention (claim 2), with the electrode with which it was charged in the insulator layer, since the electric-field consistency of the semi-conductor film becomes small, pressure-proofing of the semiconductor device formed in the semi-conductor film becomes high. Moreover, when using the substrate which consists of semi-conductor film formed an insulator layer and on this insulator layer according to this invention person's etc. research, it sets. When the above-mentioned insulator layer is thick, (when the thickness of an insulator layer is more than the drift length of the semi-conductor film) It turned out that uniform electric field are formed in a drift as the concentration profile of the direction of drift length of the impurity in the drift region of the semi-conductor film is a S character mold, that is, electric field become high locally, the place to which pressure-proofing falls is lost and pressure-proofing becomes high.

[0014] Therefore, according to this invention (claim 3) based on the above-mentioned knowledge, even if it uses a thick insulator layer (SOI insulator layer), pressure-proofing of a semiconductor device can be made high.

[0015]

[Example] Hereafter, an example is explained, referring to a drawing.

[0016] Drawing 1 is the sectional view showing the component structure of the high proof-pressure semiconductor device (pin diode) concerning the 1st example of this invention.

[0017] Among drawing, one shows the grounded silicon substrate and the pad silicon oxide (SOI insulator layer) 2 which has concave heights on a front face is formed on this silicon substrate 1. On this pad silicon oxide 2, low-concentration n mold silicon barrier layer 3 (SOI semi-conductor film) as i layers is formed. The SOI substrate is formed of pad silicon oxide 2 and n mold silicon barrier layer 3.

[0018] In the front face of n mold silicon barrier layer 3, diffusion formation of high-concentration n mold emitter layer 4 and the high-concentration p mold emitter layer 5 is carried out alternatively, and the pin diode is constituted by p mold emitter layer 5, n mold silicon barrier layer 3, and n mold emitter layer 4.

[0019] The n lateral electrode 6 is formed in n mold emitter layer 4, and the p lateral electrode 7 is formed in p mold emitter layer 5.

[0020] Thus, if a forward electrical potential difference is impressed to the constituted high proof-pressure semiconductor device through the n lateral electrode 6 and the p lateral electrode 7, since the silicon substrate 1 is grounded, as shown in drawing 2, the trap of the electron hole h is carried out to the crevice of the front face of pad silicon oxide 2 among the carriers in a component (electronic e-, an electron hole h), consequently the inversion layer 8 of plus is formed in the crevice of the front face of pad silicon oxide 2.

[0021] Since the electric-field consistency of n mold silicon barrier layer 3 is committed in the direction made small, such inversion layers 8 are the electric field E3 in n mold silicon barrier layer 3. Electric field E2 in pad silicon oxide 2 It becomes small. The same phenomenon happens also to n mold emitter

layer 4 and p mold emitter layer 5. Therefore, since the electric-field consistency in a component becomes low, only as for the part, ***** can also make pressure-proofing of a component high. [0022] In addition, as shown in drawing 2, depth (height of heights) d of the crevice of pad silicon oxide 2 has desirable 50nm or more. It comes to be able to carry out the trap of the electron hole to a crevice effectively by setting it as such a value. Moreover, thickness of pad silicon oxide 2 is set to about 4 micrometers. Moreover, pad silicon oxide 2 may be silicon oxide, such as PSG film and BPSG film.

[0023] The reason the electric-field consistency of n mold silicon barrier layer 3 becomes small is as follows.

[0024] The dielectric constant ϵ_2 of pad silicon oxide 2, and dielectric constant ϵ_3 of n mold silicon barrier layer 3. If it carries out, when the inversion layer 8 is not formed, a degree type is materialized from the continuity of the electric-field consistency in the interface of pad silicon oxide 2 and n mold silicon barrier layer 3.

[0025] ϵ_2 and $E_2 = \epsilon_3$, and E_3 -- here, if the amount of charges produced on the crevice front face by the inversion layer 8 is set to Q, the right-hand side of an upper type will receive the modification ϵ_3 and $E_3 - Q$.

[0026] Therefore, an electric-field consistency, ϵ_2 and E_2 [3], i.e., n mold silicon barrier layer, of left part, becomes small.

[0027] By using for a front face the pad silicon oxide 2 which has concave heights according to this example, as stated above, the electric-field consistency in a component can be eased, it has, and a pressure-proof high high proof-pressure semiconductor device comes to be obtained rather than before.

[0028] Moreover, since pressure-proofing can be made high, it comes to be able to make high concentration of n mold silicon barrier layer 3, and it also becomes possible to make on resistance small.

[0029] Drawing 3 is the sectional view showing the component structure of the high proof-pressure semiconductor device (pin diode) concerning the 2nd example of this invention. In addition, in the following drawings, the same sign as the above-mentioned drawing shows the same part or a considerable part, and the detailed explanation is omitted.

[0030] The point that the high proof-pressure semiconductor device of this example differs from it of the 1st example is to have prepared silicon oxide 2a which has concave heights in the front face also on the top face of n mold silicon barrier layer 3.

[0031] According to this example, the electric field of the top in n mold silicon barrier layer 3 can also be eased, and pressure-proofing can be further made high. In addition, the trap of the electron will be carried out to the crevice of silicon oxide 2a.

[0032] Drawing 4 is the sectional view showing the component structure of the high proof-pressure semiconductor device (pin diode) concerning the 3rd example of this invention.

[0033] The point that the high proof-pressure semiconductor device of this example differs from it of the 2nd example is to have formed the field plate 11 on silicon oxide 2a.

[0034] According to this example, the heavy current community formed in the p lateral electrode 7 side by the heavy current community formed in the n lateral electrode 6 side having been eased, and having formed the field plate 11 with the field plate 11 is eased by silicon oxide 2a.

[0035] Drawing 5 is the sectional view showing the component structure of the high proof-pressure semiconductor device (pin diode) concerning the 4th example of this invention.

[0036] The point that the high proof-pressure semiconductor device of this example differs from it of the 2nd example is for the front face of pad silicon oxide 2b on a silicon substrate 1 to be flat. If pad silicon oxide 2b is thick, sufficient pressure-proofing will be obtained. If it puts in another way, when pad silicon oxide 2b is thick, pressure-proofing only with sufficient silicon oxide 2a will be obtained.

[0037] Drawing 6 and drawing 7 are the top views showing the concavo-convex pattern of pad silicon oxide 2 (2a, 2b).

[0038] Drawing 6 shows the example with the circular flat-surface configuration of a crevice, and, as for drawing 7, the flat-surface configuration of a crevice shows the square (polygon) concavo-convex

pattern. Such a concavo-convex pattern is easily producible by using a well-known photolithography technique and an etching technique.

[0039] Drawing 8 is the sectional view showing the concavo-convex pattern of pad silicon oxide 2 (2a, 2b).

[0040] In drawing 8 (b), by the cross-section configuration of a crevice showing the triangular example, the cross-section configuration of heights shows the example of a taper, and drawing 8 (a) shows [show / the cross-section configuration of a crevice / the example of an inverse tapered shape] the example of a trapezoid [configuration / of a crevice / cross-section], and drawing 8 (e) shows [drawing 8 (c) / drawing 8 (d)] the example with the irregular cross-section configuration of concave heights.

[0041] Drawing 9 is the sectional view showing the component structure of the high proof-pressure semiconductor device (pin diode) concerning the 5th example of this invention.

[0042] The point that the high proof-pressure semiconductor device of this example differs from it of the 1st example is to have formed the floating electrode 9 in pad silicon oxide 2. If it puts in another way, in this example, the pad silicon oxide 2 where the floating electrode 9 was embedded is used.

[0043] Thus, if an electrical potential difference is impressed to the constituted high proof-pressure semiconductor device and the electrical potential difference is raised, as shown in drawing 10, an avalanche phenomenon will arise by the heavy current community inside a component on a certain electrical potential difference, and electronic e- and an electron hole h will occur.

[0044] This electron hole h is the same principle as EPROM, through pad silicon oxide 2, avalanche impregnation is carried out at the floating electrode 9, and the floating electrode 9 is just charged. Consequently, the electric-field consistency in a component is eased.

[0045] The electric-field distribution in the component of Saki whom an avalanche phenomenon produces in drawing 11, and the electric-field distribution in the component of Ushiro whom the avalanche phenomenon produced in drawing 12 are shown. When the amount of charges accumulated in the floating electrode 9 is set to Q, electric-field distribution of n mold silicon barrier layer 3 after avalanche phenomenon generating is Q/ϵ_2 . Only the corresponding magnitude was eased. That is, when an avalanche phenomenon occurs, the area shown with the slash of n mold silicon barrier layer 3 of drawing 11 is Q/ϵ_2 as shown in drawing 12. Only the corresponding magnitude becomes small.

[0046] Avalanche impregnation of the electron hole is carried out, and by n mold silicon barrier layer 3 of the part of the electrified floating electrode 9, even if it impresses the electrical potential difference of the same level as last time, an avalanche phenomenon does not once occur. That is, the part in which the avalanche phenomenon occurred within the component before is memorized when the floating electrode 9 has a charge, and even if there is electrical-potential-difference impression, in the part, the charge charged in the floating electrode 9 works so that an avalanche phenomenon may not occur.

[0047] In this example, beforehand, a pulse voltage or the electrical potential difference to which level becomes high gradually is impressed to a component, an avalanche phenomenon is generated in a component, only a required thing is electrified among two or more floating electrodes 9, and the high proof-pressure semiconductor device of high pressure-proofing is realized.

[0048] In addition, in order to generate an avalanche phenomenon effectively, as for the distance d from the front face of pad silicon oxide 2 to the front face of the floating electrode 9, it is desirable that it is 160nm or less more greatly than 5nm.

[0049] Drawing 13 is the sectional view showing the component structure of the high proof-pressure semiconductor device (pin diode) concerning the 6th example of this invention.

[0050] The point that the high proof-pressure semiconductor device of this example differs from the 5th example is in the short thing 5nm or less done for distance about the distance d between the front faces of the front face of the floating electrode 9, and pad silicon oxide 2.

[0051] That is, in this example, the floating electrode 9 is formed near the surface pole of pad silicon oxide 2, and an electron hole is poured into the floating electrode 9 not according to avalanche impregnation but according to the tunnel effect.

[0052] In addition, the amount of charges of a floating electrode is finely controllable by carrying out

bias of the substrate potential for a floating electrode like the case of the control gate of EEPROM, the charge up or when carrying out a discharge.

[0053] That is, the amount of charges of a floating electrode is finely adjusted by controlling each source of good transformation so that substrate potential, n lateral electrode potential, and p lateral electrode potential can be controlled independently, the source of good transformation may be established in a substrate, n lateral electrode, and p lateral electrode, respectively, and the potential difference of a substrate and n lateral electrode and the potential difference of a substrate and p lateral electrode may become large and the potential difference between n lateral electrode and p lateral electrode may become small.

[0054] Drawing 14 and drawing 15 are the top views showing the flat-surface configuration of the floating electrode 9.

[0055] Drawing 14 shows the example with the circular flat-surface configuration of the floating electrode 9. In this case, the directivity of electric field is lost and there is no place which electric field concentrate.

[0056] Moreover, as for drawing 15, the flat-surface configuration of the floating electrode 9 shows the square (polygon) example. In this case, since the number of floating electrodes per unit area can be made [many], the electric field in a component can be eased effectively.

[0057] In addition, the stripe-like floating electrode 9 may be used.

[0058] Drawing 16 is the sectional view showing the component structure of the high proof-pressure semiconductor device (pin diode) concerning the 7th example of this invention.

[0059] The point that the high proof-pressure semiconductor device of this example differs from the 5th example is to have prepared silicon oxide 2a by which floating electrode 9a was embedded on n mold silicon barrier layer 3.

[0060] According to this example, the electric field of the top in n mold silicon barrier layer 3 can also be effectively eased now.

[0061] Drawing 17 is the sectional view showing the component structure of the high proof-pressure semiconductor device (pin diode) concerning the 8th example of this invention.

[0062] The point that the high proof-pressure semiconductor device of this example differs from the 7th example is for a floating electrode not to exist in pad silicon oxide 2. If pad silicon oxide 2b is thick, sufficient pressure-proofing will be obtained. If it puts in another way, when pad silicon oxide 2 is thick, pressure-proofing only with sufficient silicon oxide 2a will be obtained.

[0063] Drawing 18 - drawing 20 are the sectional views showing the component structure of the high proof-pressure semiconductor device (pin diode) concerning the 9th of this invention - the 11th example, respectively.

[0064] The high proof-pressure semiconductor device of drawing 18 - drawing 20 makes thin n mold silicon barrier layer 3 of drawing 9, drawing 16, and the high proof-pressure semiconductor device of drawing 17, respectively.

[0065] Drawing 21 - drawing 24 are the sectional views showing the component structure of the high proof-pressure semiconductor device (pin diode) concerning the 12th of this invention - the 15th example, respectively.

[0066] The high proof-pressure semiconductor device of drawing 21 - drawing 24 forms the up electrode 12 on silicon oxide 2a of drawing 16, drawing 17, drawing 19, and the high proof-pressure semiconductor device of drawing 20, respectively.

[0067] According to these examples, the amount of charges of floating electrode 9a can be finely controlled now by the electrical potential difference impressed to the up electrode 12. Moreover, the effect of the electric field of the component upper part can be mitigated now by connecting the up electrode 12 to the n lateral electrode 6 or the p lateral electrode 7.

[0068] Drawing 25 is the sectional view showing the component structure of the high proof-pressure semiconductor device (pin diode) concerning the 16th example of this invention.

[0069] The point that the high proof-pressure semiconductor device of this example differs from it of the 5th example is to have used the ion-implantation layer 13 which put metal ions, such as Au, in the front

face of n mold silicon barrier layer, and was formed in it instead of the floating electrode.

[0070] Since such an ion-implantation layer 13 functions as an electrified floating electrode, the same effectiveness as the case where a floating electrode is used is acquired.

[0071] Drawing 26 is the sectional view showing the component structure of the high proof-pressure semiconductor device (pin diode) concerning the 17th example of this invention.

[0072] The point that the high proof-pressure semiconductor device of this example differs from it of the 16th example is to have poured in the metal ion locally and have formed the discrete ion-implantation layer 13.

[0073] Since it is separated by the oxide film between two adjoining ion-implantation layers 13 in the case of this example and the electron hole by which the trap was carried out to the ion-implantation layer 13 is not moved to the next ion-implantation layer 13, generating of leakage current can be prevented.

[0074] Drawing 27 is the sectional view showing the component structure of the high proof-pressure semiconductor device (pin diode) concerning the 18th example of this invention.

[0075] The point that the high proof-pressure semiconductor device of this example differs from it of the 16th example is to have prepared silicon oxide 2a by which ion-implantation layer 13a was formed in the top face of n mold silicon barrier layer 3. According to this example, since the electric field of the top in n mold silicon barrier layer 3 can also be eased, pressure-proofing becomes high further. In addition, when pad silicon oxide 2 is thick, the ion-implantation layer of pad silicon oxide 2 may be excluded.

[0076] Drawing 28 is drawing showing the component structure and the high-impurity-concentration profile of a high proof-pressure semiconductor device (pin diode) concerning the 19th example of this invention.

[0077] Inside of drawing, and 2thic. It consists of quartz glass and the thick pad insulator layer of thickness 1 - about 100 micrometers of numbers is shown. Namely, pad silicon oxide 2thic. Thickness is comparable as the drift length D of a component (the die length of n mold silicon barrier layer 3 of the part except n mold emitter layer 4 and p mold emitter layer 5).

[0078] The high-impurity-concentration profile of the direction of drift length of i mold silicon barrier layer 3i of high resistance has the description of this example in it being a S character mold (configuration near tanheta), as shown in drawing 28.

[0079] Desirably, let the field of one half extent be p mold field about [of i mold silicon barrier layer 3i] from 1/10. That is, it considers as a S character mold with which a location D / about ten to D/2 field serves as p mold from location zero.

[0080] Drawing 31 is drawing showing the electric-field distribution in i mold silicon barrier layer (drift layer) 3i of this example. P4 shows the location of n mold emitter layer 4 among drawing, and P5 shows the location of p mold emitter layer 5.

[0081] The electric field in [drawing 31 to] i mold silicon barrier layer 3i are EC. It is fixed and it turns out that there is nothing the place to which pressure-proofing falls locally.

[0082] Drawing 29 is drawing showing the conventional component structure and the conventional high-impurity-concentration profile of a high proof-pressure semiconductor device. That is, this drawing 29 shows n mold high-impurity-concentration profile in the case of the component structure where drift length is larger enough than the thickness of pad silicon oxide 2. This n mold high-impurity-concentration profile is the thing of the linear model to which n mold high impurity concentration becomes high as it approaches n mold emitter layer 4.

[0083] The electric-field distribution at the time of applying such an n mold high-impurity-concentration profile to n mold silicon barrier layer of a high proof-pressure semiconductor device which has thick pad silicon oxide like this example is shown in drawing 30.

[0084] It turns out that potential leaps up at the both ends of n mold silicon barrier layer (drift layer) from this drawing 30, and the low place of pressure-proofing exists locally. If the low place of pressure-proofing exists, pressure-proofing of a component will be reduced rapidly and high pressure-proofing will no longer be obtained.

[0085] Thus, when pad silicon oxide is thick, in the high-impurity-concentration profile of the

conventional linear model, the fact that pressure-proofing falls and pressure-proofing sufficient in the high-impurity-concentration profile of the S character mold of this example is obtained on the other hand is a new fact which this invention person etc. found out (when the drift length and thickness of pad silicon oxide are comparable).

[0086] Although this example explained the case where a pad insulator layer was thick, even when an insulator layer is thin, the optimal profile of a high resistive layer serves as a S character curve near a straight line. When insulator layer thickness becomes $1/25$ or more [of drift layer length], it is desirable for a S character curve to become tight and to make it the proof-pressure up and a S character profile.

[0087] For drawing 32, pad insulator layer 2ins. is 1 conductivity-type silicon barrier layer 3 n/p in the case of being thick. It is drawing for explaining how asking for a high-impurity-concentration profile.

[0088] 1 conductivity-type silicon barrier layer 3 n/p An inner electrical potential difference is made into fixed boundary condition, and they are 1 conductivity-type silicon barrier layer 3n/p. The electric-field distribution inside a component is searched for by the computer program which gives electric-field $E(x)$ with horizontal fixed potential, for example, solves Poisson's equation, device simulation, or analytical technique.

[0089] Pad insulator layer 2ins. and 1 conductivity-type silicon barrier layer 3 n/p It is EV about electric field perpendicular to an interface. When (x) , the optimal high-impurity-concentration profile $N(x)$ is $N(x) = \epsilon - EV \cdot (x)/(q \cdot t_{Si})$

It becomes.

[0090] however, ϵ -- the dielectric constant of pad insulator layer 2ins., and q -- base -- a charge and t_{Si} -- 1 conductivity-type silicon barrier layer 3 n/p Thickness is shown. In addition, it will become n mold, if $N(x)$ is negative and it is p mold and $N(x)$ forward.

[0091] According to the approach of this example, the configuration of pad insulator layer 2ins. is complicated, or even if a component is a three-dimension-configuration, the optimal high-impurity-concentration profile can be found mathematically. Drawing 33 is the sectional view showing the component structure of the high proof-pressure semiconductor device (pin diode) concerning the 20th example of this invention.

[0092] The point that the high proof-pressure semiconductor device of this example differs from it of the 19th example is to prepare multistage field plate 14F and 14Fn on i mold silicon barrier layer 3i.

[0093] Field plate 14F It is the field plate of floating which has not been connected to the n lateral electrode 4, and field plate 14Fn is a field plate linked to the n lateral electrode 4. Moreover, the adjacent field plate is separated by the insulator layer 15.

[0094] When a field plate is metal, it is field plate 14F. Shot key connection of the i mold silicon barrier layer 3i is made, or it is field plate 14F. It connects with i mold silicon barrier layer 3i through a diffusion layer.

[0095] field plate 14F of the field where n mold high impurity concentration by the side of the n lateral electrode 4 is high here when connecting through a diffusion layer n mold diffusion layer -- minding -- i mold silicon barrier layer 3i -- connecting -- field plate 14F [moreover,] of the field where p mold high impurity concentration by the side of the p lateral electrode 5 is high connecting with i mold silicon barrier layer 3i through p mold diffusion layer -- it is desirable.

[0096] Moreover, when a field plate is a product made from polish recon, it is field plate 14F. Direct continuation of the i mold silicon barrier layer 3i is carried out, or it is field plate 14F. It connects with i mold silicon barrier layer 3i through polish recon.

[0097] the time of connecting through a diffusion layer here -- the case of the point -- the same -- field plate 14F by the side of the n lateral electrode 4 n mold diffusion layer -- minding -- field plate 14F [moreover,] by the side of the p lateral electrode 5 connecting with i mold silicon barrier layer 3i through p mold diffusion layer -- it is desirable.

[0098] According to this example, pressure-proofing can be further made high by field plate 14F and 14Fn. High impurity concentration of i mold silicon barrier layer 3i can be made high, and it comes to be able to make ON state voltage (on resistance) small by the ability making pressure-proofing high.

[0099] Drawing 34 is the sectional view showing the component structure of the high proof-pressure

semiconductor device (MOSFET) concerning the 21st example of this invention.

[0100] This example is thick pad silicon oxide 2thic. It is the example in which two or more MOSFETs by which series connection was carried out to upper i mold silicon barrier layer 3i were formed.

[0101] High-concentration n mold source layer 16 by which MOSFET was alternatively formed in the front face of p mold emitter layer 5 (in this case, p mold emitter layer as a p mold well layer), n mold drain layer 17 alternatively formed in the front face of i mold silicon barrier layer 3i, It is constituted by the gate electrode 19 formed in the insulator layer 15 on p mold emitter layer 5 between this n mold drain layer 17 and n mold source layer 16 (p mold well layer), and i mold silicon barrier layer 3i. In this case, an insulator layer 15 consists of a thin insulator layer as gate dielectric film, and a thick insulator layer which covers the gate electrode 19.

[0102] In the conventional SOI substrate, since pad silicon oxide was comparatively thin, if any device cannot be found and series connection of the component is carried out, high pressure-proofing will no longer be obtained.

[0103] On the other hand, by making thin enough high impurity concentration of i mold silicon barrier layer, when pad silicon oxide is thick, even if it carries out series connection of the component, high pressure-proofing is obtained. However, there is a problem that ON state voltage becomes high, in this case.

[0104] On the other hand, first, in the case of this example, pressure-proofing improves by the high-impurity-concentration profile of a S character mold, and the charge generated when i mold silicon barrier layer 3i depletion-izes further is negated by field plate 14F and 14Fn.

[0105] Therefore, according to this example, it is thick pad silicon oxide 2thic. Since high impurity concentration of i mold silicon barrier layer 3i can be made high even if it uses, both raise in pressure-proofing and low ON-state-voltage-ization can be realized to coincidence.

[0106] Drawing 35 is the sectional view showing the component structure of the high proof-pressure semiconductor device (pin diode) concerning the 22nd example of this invention.

[0107] The point that the high proof-pressure semiconductor device of this example differs from it of the 19th example of drawing 28 minds the insulator layer 21 (not specifically shown) which consists of insulating materials other than an oxide (for example, air) on an insulator layer 15, and is long field plate 14L. It is in having prepared.

[0108] Pad silicon oxide 2thic. When thick, concentration of electric field reaches far and wide and takes place in the conventional high proof-pressure semiconductor device. That is, concentration of electric field takes place not only i mold silicon barrier layer 3i but near n mold emitter layer 4 and the p mold emitter layer 5. Moreover, even if there is no concentration of electric field, most part of i mold silicon barrier layer 3i which is low-concentration n mold silicon layer becomes p mold.

[0109] However, according to this example, it is long field plate 14L. Concentration of the electric field of the field covering n mold emitter layer 4 can be effectively controlled from i mold silicon barrier layer 3i, and the whole i mold silicon barrier layer 3i can be further used as n mold. Moreover, production of MOSFET will become easy if i mold silicon barrier layer 3i can be kept such in n mold.

[0110] Drawing 36 is the sectional view showing the component structure of the high proof-pressure semiconductor device (pin diode) concerning the 23rd example of this invention.

[0111] The point that the high proof-pressure semiconductor device of this example differs from it of the 21st example is to have used longer field plate 14LL.

[0112] That is, in this example, long field plate 14LL prolonged from n mold emitter layer 4 to p mold emitter layer 5 is used.

[0113] By using such long field plate 14LL, concentration of far-reaching electric field can be controlled more effectively, and i mold silicon barrier layer 3i can also be kept more effective now in n mold.

[0114] In addition, this invention is not limited to the example mentioned above. For example, also in the case of high proof-pressure semiconductor devices, such as other high proof-pressure semiconductor devices IGBT, for example, a horizontal type, and a horizontal type IEGT, this invention is effective although the above-mentioned example explained the case where a pin diode and MOSFET were used as a high proof-pressure semiconductor device. In addition, in the range which does not deviate from the

summary of this invention, it deforms variously and can carry out.

[0115]

[Effect of the Invention] By using the insulator layer (claim 1) by which concave heights were formed in the front face according to this invention (claims 1 and 2), and the insulator layer (claim 2) where it floated electrically and the electrified electrode was embedded, as explained in full detail above, the electric-field consistency of the semi-conductor film can be made small, and pressure-proofing of a semiconductor device can be conventionally made high.

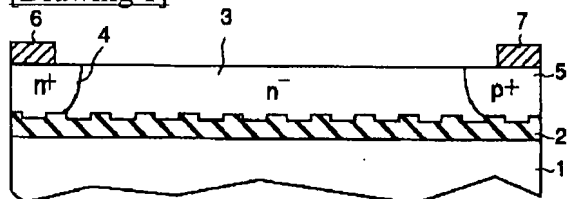
[0116] Moreover, also when an insulator layer thick as an insulator layer which constitutes a substrate by using the concentration profile of an impurity as a S character mold is used according to this invention (claim 3), pressure-proofing of a semiconductor device can be conventionally made high.

[Translation done.]

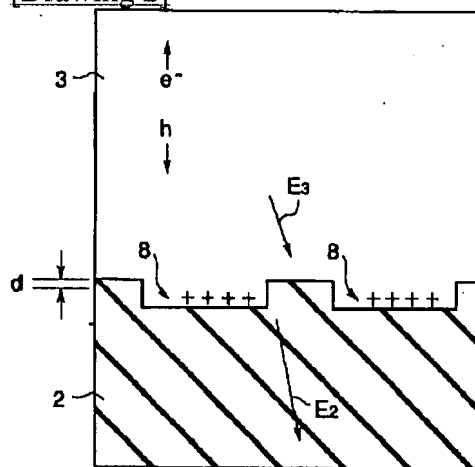
JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

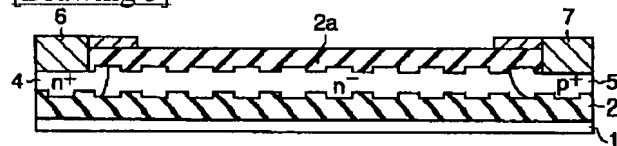
[Drawing 1]



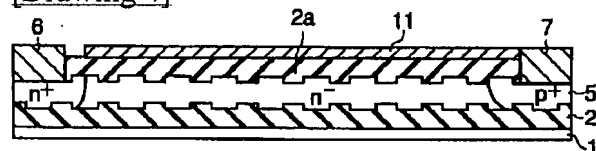
[Drawing 2]



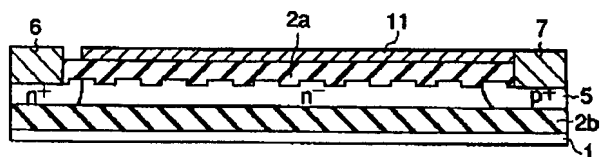
[Drawing 3]



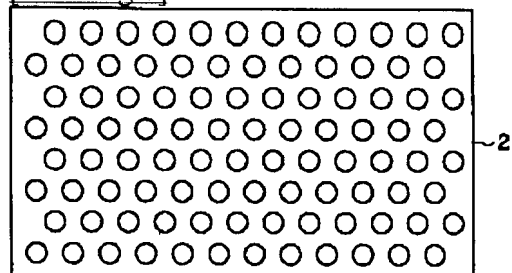
[Drawing 4]



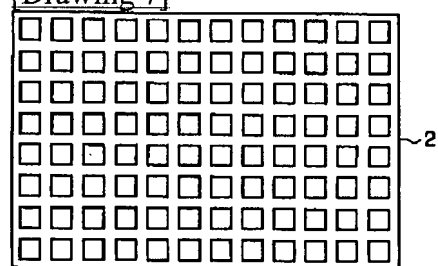
[Drawing 5]



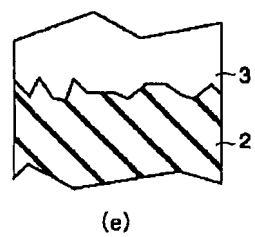
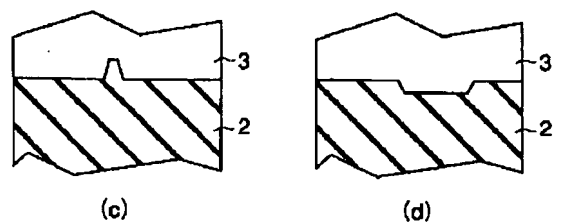
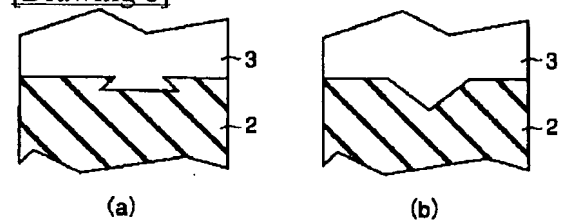
[Drawing 6]



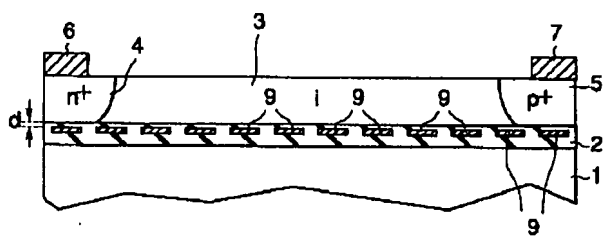
[Drawing 7]



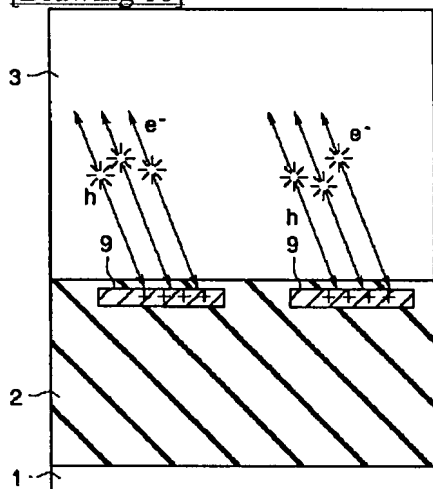
[Drawing 8]



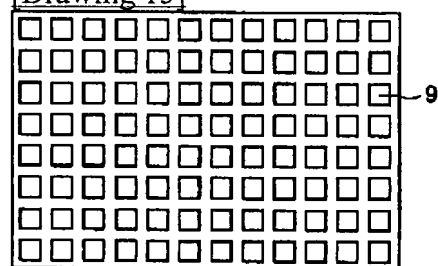
[Drawing 9]



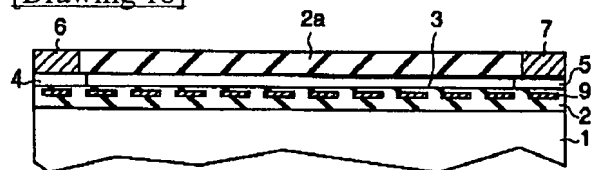
[Drawing 10]



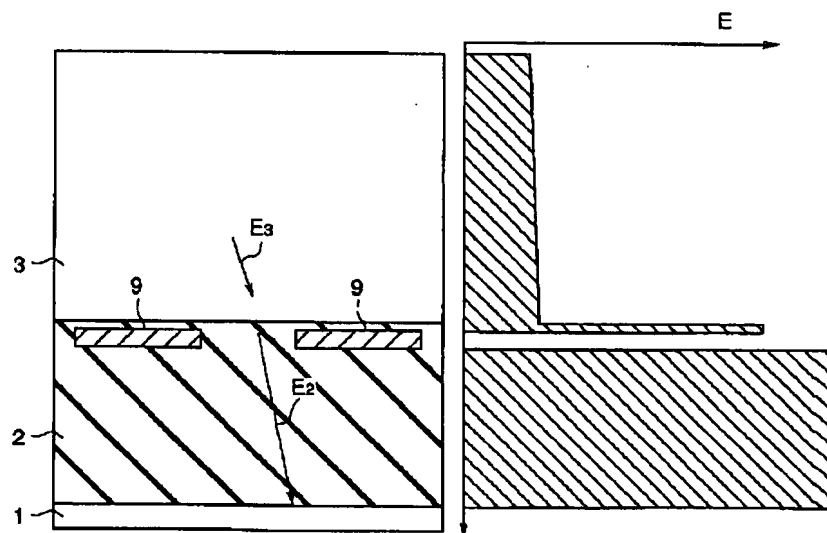
[Drawing 15]



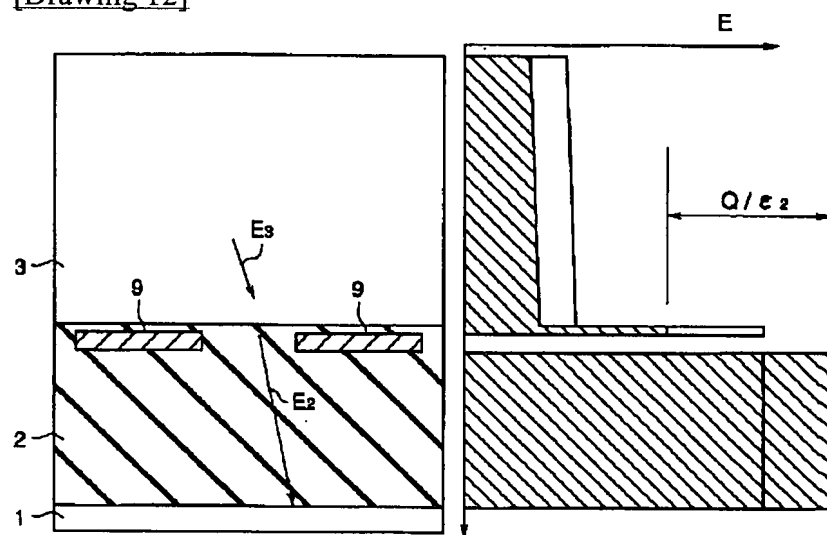
[Drawing 18]



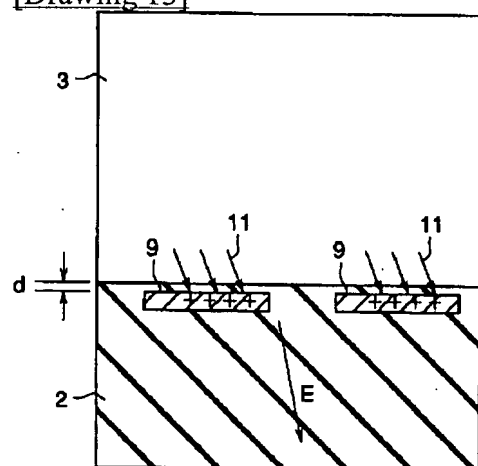
[Drawing 11]



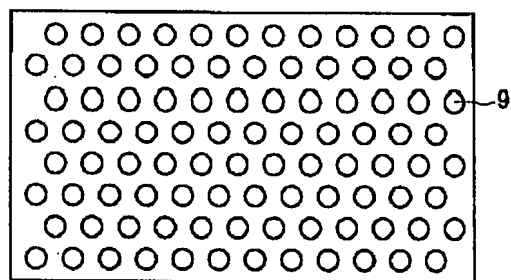
[Drawing 12]



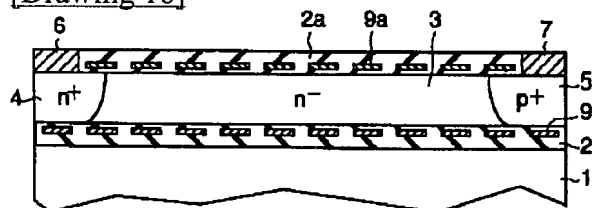
[Drawing 13]



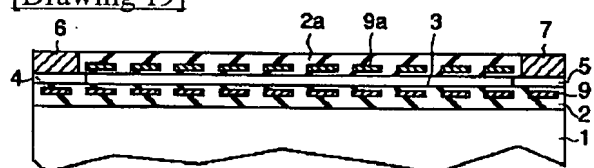
[Drawing 14]



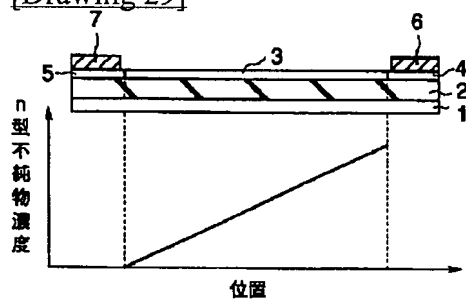
[Drawing 16]



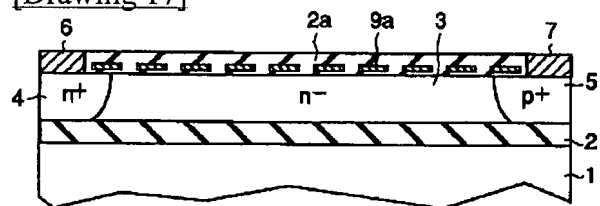
[Drawing 19]



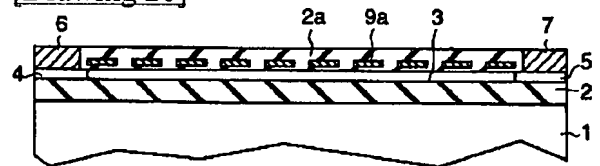
[Drawing 29]



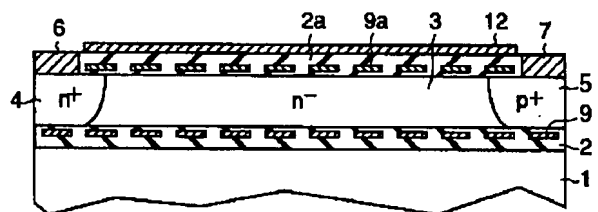
[Drawing 17]



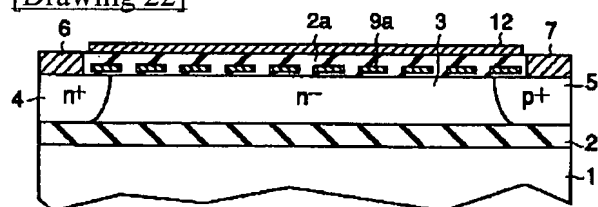
[Drawing 20]



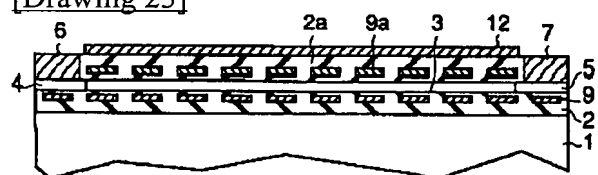
[Drawing 21]



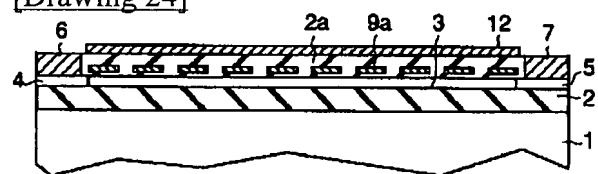
[Drawing 22]



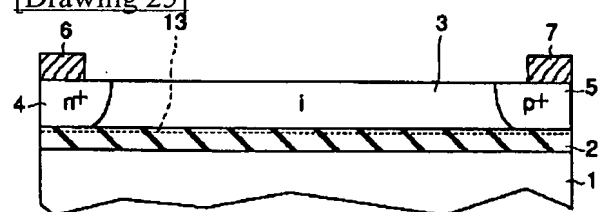
[Drawing 23]



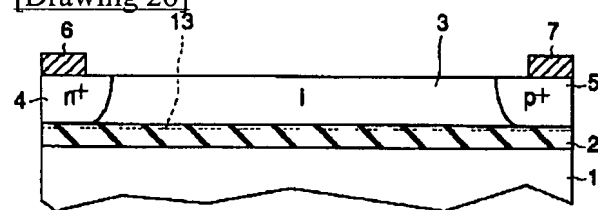
[Drawing 24]



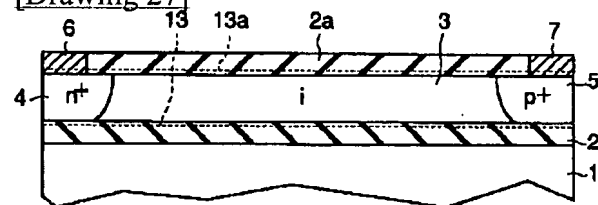
[Drawing 25]



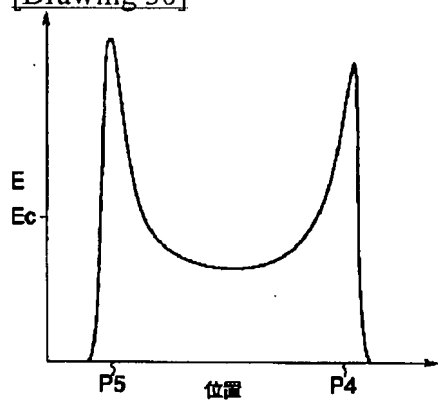
[Drawing 26]



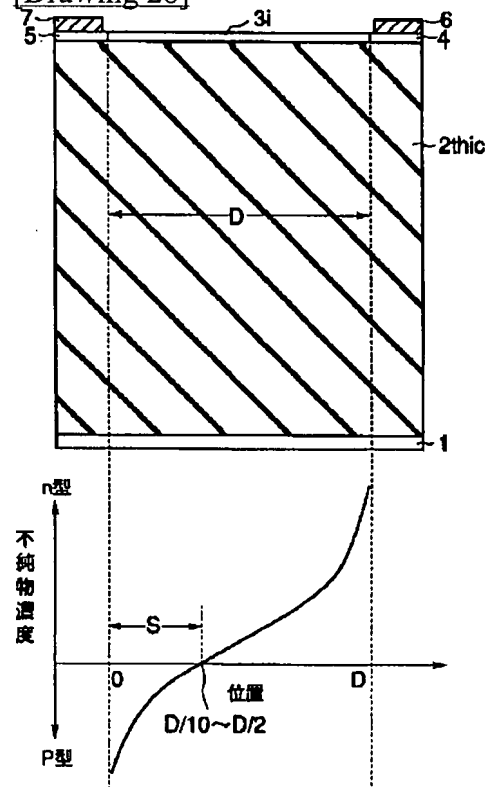
[Drawing 27]



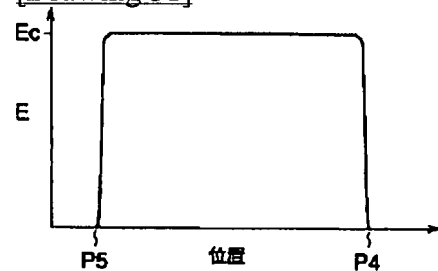
[Drawing 30]



[Drawing 28]

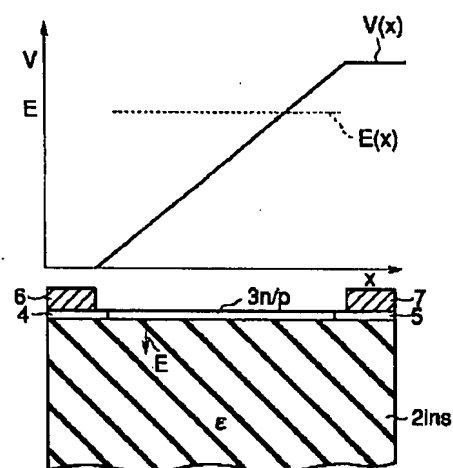


[Drawing 31]

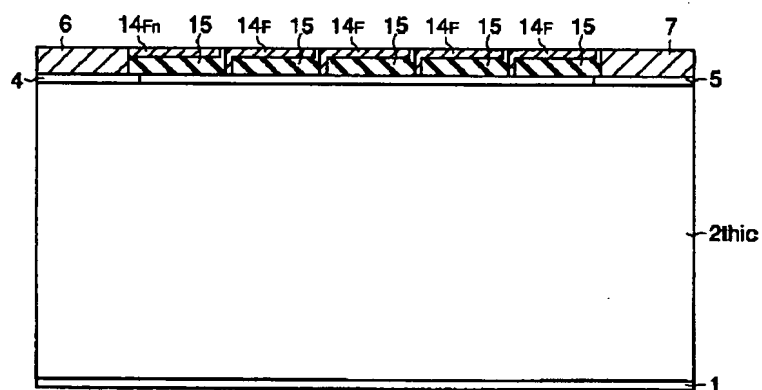


[Drawing 32]

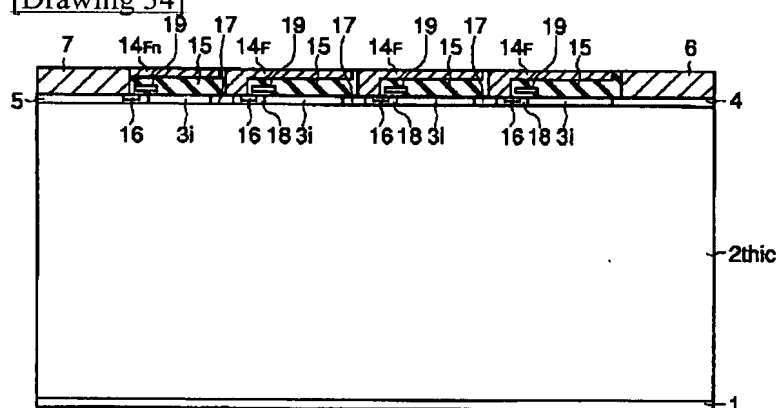




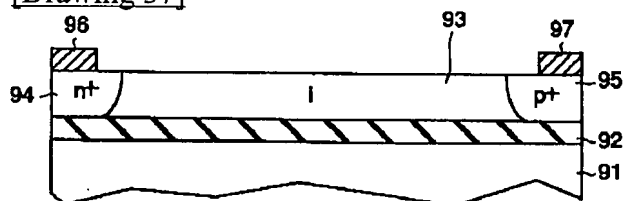
[Drawing 33]



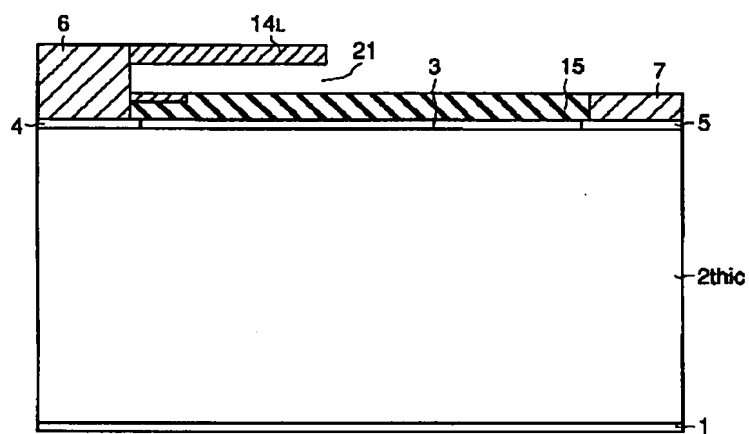
[Drawing 34]



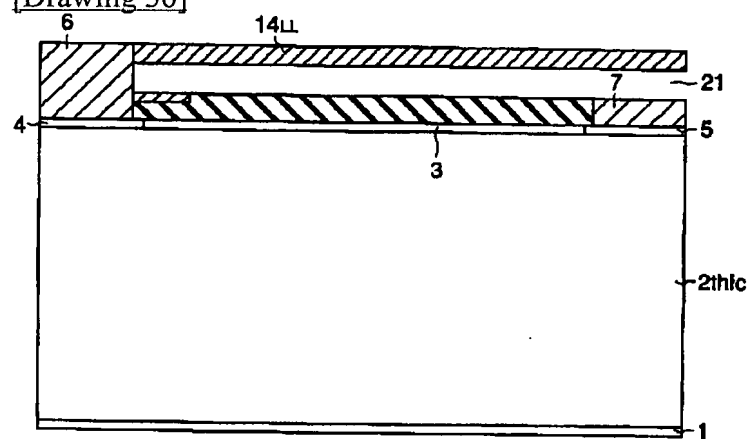
[Drawing 37]



[Drawing 35]



[Drawing 36]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-88377

(43)公開日 平成8年(1996)4月2日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/861				
27/12	Z		H 0 1 L 29/ 91	D

審査請求 未請求 請求項の数3 O L (全 13 頁)

(21)出願番号 特願平6-220636

(22)出願日 平成6年(1994)9月14日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 大村 一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 中川 明夫

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

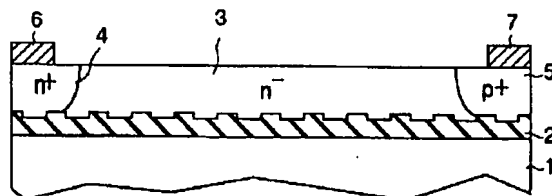
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】耐圧の高い半導体素子を提供すること。

【構成】表面に凹凸部を有する埋込みシリコン酸化膜2およびこの埋込みシリコン酸化膜2上に形成された低濃度のn型シリコン活性層3とからなるSOI基板と、n型シリコン活性層3の表面に選択的に形成され、n側電極6が設けられたn型エミッタ層4と、n型シリコン活性層3の表面に選択的に形成され、p側電極7が設けられたp型エミッタ層5とを備えたことを特徴とする。



【特許請求の範囲】

【請求項 1】 表面に凹凸部を有する絶縁膜およびこの絶縁膜上に形成された半導体膜からなる基板と、前記半導体膜に形成された半導体素子とを具備してなることを特徴とする半導体装置。

【請求項 2】 電気的に浮き、帯電した電極が埋め込まれた絶縁膜およびこの絶縁膜上に形成された半導体膜からなる基板と、前記半導体膜に形成された半導体素子とを具備してなることを特徴とする半導体装置。

【請求項 3】 絶縁膜およびこの絶縁膜上に形成された半導体膜からなる基板と、前記半導体膜に形成された半導体素子とを具備してなり、前記絶縁膜の厚さは、前記半導体素子が形成された前記半導体膜のドリフト長以上であり、前記半導体膜中には不純物が含まれ、前記半導体膜のドリフト領域における前記不純物のドリフト長方向の濃度プロファイルが S 字型であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、SOI (Semiconductor On Insulator) 基板に半導体素子を形成した半導体装置に関する。

【0002】

【従来の技術】 近年、コンピュータや通信機器の重要部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、1 チップ上に集積化して形成した集積回路 (IC) が多用されている。このような IC 中で、高耐圧半導体素子を含むものはパワー IC と呼ばれている。

【0003】 図 37 は、従来の高耐圧半導体素子 (pn ダイオード) の素子構造を示す断面図である。

【0004】 図中、91 は半導体基板を示しており、この半導体基板 91 上には絶縁膜 (SOI 絶縁膜) 92 を介して低濃度の i 型半導体活性層 (SOI 半導体層) 93 が設けられている。

【0005】 この i 型半導体活性層 93 の表面には高濃度の n 型エミッタ層 94 および高濃度の p 型エミッタ層 95 が選択的に拡散形成されている。そして、n 型エミッタ層 94 には n 側電極 96、p 型エミッタ層 95 には p 側電極 95 が設けられている。

【0006】 このように構成された高耐圧半導体素子によれば、印加電圧が素子本体と絶縁膜 92 とに分担 (分散) され、素子本体にかかる電圧が低減されるので、高耐圧化が可能となる

しかしながら、この種の高耐圧半導体素子には次のような問題がある。すなわち、絶縁膜 92 が分担できる電圧には限界があるので、従来構造のままでは、さらなる高

耐圧化は困難であるという問題がある。

【0007】

【発明が解決しようとする課題】 上述の如く、従来の SOI 基板を用いた高耐圧半導体素子では、SOI 絶縁膜による高耐圧化には限界があるので、さらなる高耐圧化が困難であるという問題がある。

【0008】 本発明は、上記事情を考慮してなされたもので、その目的とするところは、従来よりも、耐圧の高い半導体素子を備えた半導体装置を提供することにある。

【0009】

【課題を解決するための手段】 上記の目的を達成するために、本発明 (請求項 1) に係る半導体装置は、表面に凹凸部を有する絶縁膜およびこの絶縁膜上に形成された半導体膜からなる基板と、前記半導体膜に形成された半導体素子とを備えたことを特徴とする。

【0010】 また、他の本発明 (請求項 2) に係る半導体装置は、電気的に浮き、帯電した電極が埋め込まれた絶縁膜およびこの絶縁膜上に形成された半導体膜からなる基板と、前記半導体膜に形成された半導体素子とを備えたことを特徴とする。

【0011】 また、他の本発明 (請求項 3) に係る半導体装置は、絶縁膜およびこの絶縁膜上に形成された半導体膜からなる基板と、前記半導体膜に形成された半導体素子とを備えており、前記絶縁膜の厚さは、前記半導体素子が形成された前記半導体膜のドリフト長以上であり、前記半導体膜中には不純物が含まれ、前記半導体膜のドリフト領域における前記不純物のドリフト長方向の濃度プロファイルが S 字型であることを特徴とする。

【0012】

【作用】 本発明 (請求項 1) によれば、素子内のキャリアが絶縁膜の凹部にたまり、半導体膜の電界密度が小さくなるので、半導体膜に形成された半導体素子の耐圧が高くなる。

【0013】 本発明 (請求項 2) によれば、絶縁膜内の帯電した電極により、半導体膜の電界密度が小さくなるので、半導体膜に形成された半導体素子の耐圧が高くなる。また、本発明者等の研究によれば、絶縁膜およびこの絶縁膜上に形成された半導体膜からなる基板を用いる場合において、上記絶縁膜が厚いとき (絶縁膜の厚さが半導体膜のドリフト長以上であるとき) は、半導体膜のドリフト領域における不純物のドリフト長方向の濃度プロファイルが S 字型であると、ドリフト内には均一な電界が形成され、つまり、局所的に電界が高くなり、耐圧が低下するところがなくなり、耐圧が高くなることが分かった。

【0014】 したがって、上記知見に基づいた本発明 (請求項 3) によれば、厚い絶縁膜 (SOI 絶縁膜) を用いても半導体素子の耐圧を高くできる。

【0015】

【実施例】以下、図面を参照しながら実施例を説明する。

【0016】図1は、本発明の第1の実施例に係る高耐圧半導体素子（pinダイオード）の素子構造を示す断面図である。

【0017】図中、1は接地されたシリコン基板を示しており、このシリコン基板1上には表面に凹凸部を有する埋込みシリコン酸化膜（SOI絶縁膜）2が形成されている。この埋込みシリコン酸化膜2上には1層としての低濃度のn型シリコン活性層3（SOI半導体膜）が設けられている。埋込みシリコン酸化膜2とn型シリコン活性層3とによりSOI基板が形成されている。

【0018】n型シリコン活性層3の表面には高濃度のn型エミッタ層4および高濃度のp型エミッタ層5が選択的に拡散形成され、p型エミッタ層5、n型シリコン活性層3およびn型エミッタ層4によりpinダイオードが構成されている。

【0019】n型エミッタ層4にはn側電極6が設けられ、p型エミッタ層5にはp側電極7が設けられている。

【0020】このように構成された高耐圧半導体素子にn側電極6、p側電極7を介して正電圧が印加されると、シリコン基板1が接地されているので、図2に示すように、素子内のキャリア（電子 e^- 、正孔 h ）のうち正孔 h が埋込みシリコン酸化膜2の表面の凹部にトラップされ、その結果、埋込みシリコン酸化膜2の表面の凹部にはプラスの反転層8が形成される。

【0021】このような反転層8はn型シリコン活性層3の電界密度を小さくする方向に働くので、n型シリコン活性層3内の電界 E_3 は埋込みシリコン酸化膜2内の電界 E_2 よりも小さくなる。同様な現象はn型エミッタ層4、p型エミッタ層5にも起こる。したがって、素子内の電界密度が低くなるので、その分だけ従来よりも素子の耐圧を高くできる。

【0022】なお、図2に示すように、埋込みシリコン酸化膜2の凹部の深さ（凸部の高さ） d は、50nm以上が好ましい。このような値に設定することにより、凹部に正孔を効果的にトラップできるようになる。また、埋込みシリコン酸化膜2の厚さは、例えば、4 μ m程度とする。また、埋込みシリコン酸化膜2はPSG膜やBPSSG膜などのシリコン酸化膜であっても良い。

【0023】n型シリコン活性層3の電界密度が小さくなる理由は以下の通りである。

【0024】埋込みシリコン酸化膜2の誘電率 ϵ_2 、n型シリコン活性層3の誘電率 ϵ_3 とすると、反転層8が形成されていない場合には、埋込みシリコン酸化膜2とn型シリコン活性層3との界面における電界密度の連続性から次式が成立する。

$$\epsilon_2 \cdot E_2 = \epsilon_3 \cdot E_3$$

ここで、反転層8により凹部表面に生じた電荷量を Q と

すると、上式の右辺は、 $\epsilon_3 \cdot E_3 - Q$ という変更を受ける。

【0026】したがって、左辺の $\epsilon_2 \cdot E_2$ 、つまり、n型シリコン活性層3の電界密度は小さくなる。

【0027】以上述べたように本実施例によれば、表面に凹凸部を有する埋込みシリコン酸化膜2を用いることにより、素子内の電界密度を緩和でき、もって従来よりも耐圧の高い高耐圧半導体素子が得られるようになる。

【0028】また、耐圧を高くできることから、n型シリコン活性層3の濃度を高くできるようになり、オン抵抗を小さくすることも可能となる。

【0029】図3は、本発明の第2の実施例に係る高耐圧半導体素子（pinダイオード）の素子構造を示す断面図である。なお、以下の図において、前出した図と同一符号は同一部分または相当部分を示し、その詳細な説明は省略する。

【0030】本実施例の高耐圧半導体素子が第1の実施例のそれと異なる点は、n型シリコン活性層3の上面にも、表面に凹凸部を有するシリコン酸化膜2aを設けたことにある。

【0031】本実施例によれば、n型シリコン活性層3内の上側の電界も緩和でき、さらに耐圧を高くできる。なお、シリコン酸化膜2aの凹部には電子がトラップされることになる。

【0032】図4は、本発明の第3の実施例に係る高耐圧半導体素子（pinダイオード）の素子構造を示す断面図である。

【0033】本実施例の高耐圧半導体素子が第2の実施例のそれと異なる点は、シリコン酸化膜2a上にフィールドプレート11を設けたことにある。

【0034】本実施例によれば、フィールドプレート11により、n側電極6側に形成される強電界が緩和され、また、フィールドプレート11を設けたことによるp側電極7側に形成される強電界はシリコン酸化膜2aにより緩和される。

【0035】図5は、本発明の第4の実施例に係る高耐圧半導体素子（pinダイオード）の素子構造を示す断面図である。

【0036】本実施例の高耐圧半導体素子が第2の実施例のそれと異なる点は、シリコン基板1上の埋込みシリコン酸化膜2bの表面が平坦になっていることにある。埋込みシリコン酸化膜2bが厚ければ、十分な耐圧が得られる。換言すれば、埋込みシリコン酸化膜2bが厚い場合には、シリコン酸化膜2aだけでも十分な耐圧が得られる。

【0037】図6および図7は、埋込みシリコン酸化膜2（2a、2b）の凹凸パターンを示す平面図である。

【0038】図6は凹部の平面形状が円形の例を示しており、図7は凹部の平面形状が正方形（多角形）の凹凸パターンを示している。このような凹凸パターンは、周

知のフォトリソグラフィ技術、エッチング技術を用いることにより、容易に作製できる。

【0039】図8は埋込みシリコン酸化膜2(2a, 2b)の凹凸パターンを示す断面図である。

【0040】図8(a)は凹部の断面形状が逆テーパの例を示しており、図8(b)は凹部の断面形状が三角形の例を示しており、図8(c)は凸部の断面形状がテーパの例を示しており、図8(d)は凹部の断面形状が台形の例を示しており、そして、図8(e)は凹凸部の断面形状が不規則な例を示している。

【0041】図9は、本発明の第5の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図である。

【0042】本実施例の高耐圧半導体素子が第1の実施例のそれと異なる点は、埋込みシリコン酸化膜2内にフローティング電極9を設けたことにある。換言すれば、本実施例では、フローティング電極9が埋め込まれた埋込みシリコン酸化膜2を用いている。

【0043】このように構成された高耐圧半導体素子に電圧を印加し、その電圧を上げていくと、図10に示すように、ある電圧で素子内部の強電界によりアバランシェ現象が生じ、電子 e^- 、正孔 h が発生する。

【0044】この正孔 h は、EPROMと同じ原理で、埋込みシリコン酸化膜2を介して、フローティング電極9にアバランシェ注入され、フローティング電極9が正に帯電する。この結果、素子内の電界密度が緩和される。

【0045】図11にアバランシェ現象が生じる前の素子内の電界分布、図12にアバランシェ現象が生じた後の素子内の電界分布を示す。フローティング電極9に蓄積した電荷量を Q とすると、アバランシェ現象発生後のn型シリコン活性層3の電界分布は、 Q/ϵ_2 に対応した大きさだけ緩和されたものとなる。すなわち、アバランシェ現象が発生すると、図11のn型シリコン活性層3の斜線で示された面積は、図12に示すように、 Q/ϵ_2 に対応した大きさだけ小さくなる。

【0046】いったん、正孔がアバランシェ注入され、帯電したフローティング電極9の部分のn型シリコン活性層3では、前回と同じレベルの電圧を印加しても、アバランシェ現象は起きない。すなわち、以前に素子内でアバランシェ現象が起きた部分をフローティング電極9が電荷を持つことにより記憶しており、電圧印加があってもその部分ではアバランシェ現象が発生しないように、フローティング電極9に帯電した電荷が働く。

【0047】本実施例では、あらかじめ、素子にパルス電圧または徐々にレベルが高くなる電圧を印加して、素子内にアバランシェ現象を発生させ、複数のフローティング電極9のうち、必要なものだけを帯電させ、高耐圧の高耐圧半導体素子を実現する。

【0048】なお、アバランシェ現象を効果的に発生さ

せるためには、埋込みシリコン酸化膜2の表面からフローティング電極9の表面までの距離 d は、5nmより大きくかつ160nm以下であることが望ましい。

【0049】図13は、本発明の第6の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図である。

【0050】本実施例の高耐圧半導体素子が第5の実施例と異なる点は、フローティング電極9の表面と埋込みシリコン酸化膜2との表面の間の距離 d を5nm以下の短い距離にしたことにある。

【0051】すなわち、本実施例では、埋込みシリコン酸化膜2の表面極近傍にフローティング電極9を形成し、アバランシェ注入ではなく、トンネル効果により正孔をフローティング電極9に注入するようになっている。

【0052】なお、フローティング電極をチャージアップまたはディスチャージする場合、EEPROMのコントロールゲートの場合と同様に、基板電位をバイアスすることにより、フローティング電極のチャージ量をきめ細かに制御できる。

【0053】すなわち、基板電位、n側電極電位、p側電極電位を独立して制御できるように、基板、n側電極、p側電極にそれぞれ可変電源を設け、基板とn側電極との電位差、および基板とp側電極との電位差が大きくなり、かつn側電極とp側電極との間の電位差が小さくなるように、各可変電源を制御することにより、フローティング電極のチャージ量をきめ細かに調整する。

【0054】図14、図15は、フローティング電極9の平面形状を示す平面図である。

【0055】図14は、フローティング電極9の平面形状が円形の例を示している。この場合、電界の方向性がなくなり、電界が集中するところがない。

【0056】また、図15は、フローティング電極9の平面形状が正方形(多角形)の例を示している。この場合、単位面積当りのフローティング電極数を多くできるので、効果的に素子内の電界を緩和することができる。

【0057】なお、ストライプ状のフローティング電極9を用いても良い。

【0058】図16は、本発明の第7の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図である。

【0059】本実施例の高耐圧半導体素子が第5の実施例と異なる点は、n型シリコン活性層3上にフローティング電極9aが埋め込まれたシリコン酸化膜2aを設けたことにある。

【0060】本実施例によれば、n型シリコン活性層3内の上側の電界も効果的に緩和できるようになる。

【0061】図17は、本発明の第8の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図である。

【0062】本実施例の高耐圧半導体素子が第7の実施例と異なる点は、埋込みシリコン酸化膜2内にフローティング電極が存在しないことにある。埋込みシリコン酸化膜2bが厚ければ、十分な耐圧が得られる。換言すれば、埋込みシリコン酸化膜2が厚い場合には、シリコン酸化膜2aだけでも十分な耐圧が得られる。

【0063】図18～図20は、それぞれ、本発明の第9～第11の実施例に係る高耐圧半導体素子（pinダイオード）の素子構造を示す断面図である。

【0064】図18～図20の高耐圧半導体素子は、それぞれ、図9、図16、図17の高耐圧半導体素子のn型シリコン活性層3を薄くしたものである。

【0065】図21～図24は、それぞれ、本発明の第12～第15の実施例に係る高耐圧半導体素子（pinダイオード）の素子構造を示す断面図である。

【0066】図21～図24の高耐圧半導体素子は、それぞれ、図16、図17、図19、図20の高耐圧半導体素子のシリコン酸化膜2a上に上部電極12を設けたものである。

【0067】これらの実施例によれば、上部電極12に印加する電圧により、フローティング電極9aのチャージ量をきめ細かに制御できるようになる。また、上部電極12をn側電極6またはp側電極7に接続することにより、素子上部の電界の影響を軽減できるようになる。

【0068】図25は、本発明の第16の実施例に係る高耐圧半導体素子（pinダイオード）の素子構造を示す断面図である。

【0069】本実施例の高耐圧半導体素子が第5の実施例のそれと異なる点は、フローティング電極の代わりに、n型シリコン活性層の表面にAuなどの金属イオンを注して形成されたイオン注入層13を用いたことにある。

【0070】このようなイオン注入層13は、帯電したフローティング電極として機能するので、フローティング電極を用いた場合と同様な効果が得られる。

【0071】図26は、本発明の第17の実施例に係る高耐圧半導体素子（pinダイオード）の素子構造を示す断面図である。

【0072】本実施例の高耐圧半導体素子が第16の実施例のそれと異なる点は、金属イオンを局所的に注入して、離散的なイオン注入層13を形成したことにある。

【0073】本実施例の場合、隣接する二つのイオン注入層13の間は酸化膜により分離されているので、イオン注入層13にトラップされた正孔は、隣のイオン注入層13に移動しないため、リーク電流の発生を防止できる。

【0074】図27は、本発明の第18の実施例に係る高耐圧半導体素子（pinダイオード）の素子構造を示す断面図である。

【0075】本実施例の高耐圧半導体素子が第16の実

施例のそれと異なる点は、n型シリコン活性層3の上面に、イオン注入層13aが形成されたシリコン酸化膜2aを設けたことにある。本実施例によれば、n型シリコン活性層3内の上側の電界も緩和できるので、さらに耐圧が高くなる。なお、埋込みシリコン酸化膜2が厚い場合には、埋込みシリコン酸化膜2のイオン注入層を省いても良い。

【0076】図28は、本発明の第19の実施例に係る高耐圧半導体素子（pinダイオード）の素子構造および不純物濃度プロファイルを示す図である。

【0077】図中、 2_{thic} は石英ガラスからなり、厚さ1～数百 μm 程度の厚い埋込み絶縁膜を示している。すなわち、埋込みシリコン酸化膜 2_{thic} の厚さは、素子のドリフト長D（n型エミッタ層4、p型エミッタ層5を除いた部分のn型シリコン活性層3の長さ）と同程度である。

【0078】本実施例の特徴は、高抵抗のi型シリコン活性層3iのドリフト長方向の不純物濃度プロファイルが、図28に示すように、S字型（ $\tan \theta$ に近い形状）になっていることにある。

【0079】望ましくは、i型シリコン活性層3iの1/10程度から半分程度の領域をp型領域とする。つまり、位置ゼロから位置D/10～D/2程度の領域がp型となるようなS字型とする。

【0080】図31は、本実施例のi型シリコン活性層（ドリフト層）3i内の電界分布を示す図である。図中、P4はn型エミッタ層4の位置、P5はp型エミッタ層5の位置を示している。

【0081】図31からi型シリコン活性層3i内の電界は E_c で一定であり、耐圧が局所的に低下するところはないことが分かる。

【0082】図29は、従来の高耐圧半導体素子の素子構造および不純物濃度プロファイルを示す図である。すなわち、この図29は、ドリフト長が埋込みシリコン酸化膜2の厚さよりも十分に大きい素子構造の場合のn型不純物濃度プロファイルを示している。このn型不純物濃度プロファイルは、n型エミッタ層4に近づくにつれてn型不純物濃度が高くなる直線型のものである。

【0083】このようなn型不純物濃度プロファイルを、本実施例のように厚い埋込みシリコン酸化膜を有する高耐圧半導体素子のn型シリコン活性層に適用した場合の電界分布を図30に示す。

【0084】この図30からn型シリコン活性層（ドリフト層）の両端で電位が跳ね上がってしまい、局所的に耐圧の低いところが存在することが分かる。耐圧の低いところが少しでも存在すると、素子の耐圧は急激に低減し、高い耐圧は得られなくなる。

【0085】このように埋込みシリコン酸化膜が厚い場合（埋込みシリコン酸化膜のドリフト長および厚さが同程度の場合）には、従来の直線型の不純物濃度プロファ

イルでは耐圧が低下し、一方、本実施例のS字型の不純物濃度プロファイルでは十分な耐圧が得られるという事実は、本発明者等が見出した新規な事実である。

【0086】本実施例では、埋込み絶縁膜が厚い場合について説明したが、絶縁膜が薄い場合でも、高抵抗層の最適プロファイルは、直線に近いS字カーブとなる。絶縁膜厚がドリフト層長の $1/2.5$ 以上になると、S字カーブがきつくなり、耐圧上、S字プロファイルにすることが望ましい。

【0087】図32は、埋込み絶縁膜 $2_{ins.}$ が厚い場合の一導電型シリコン活性層 $3_{n/p}$ の不純物濃度プロファイルの求め方を説明するための図である。

【0088】一導電型シリコン活性層 $3_{n/p}$ 内の電圧を固定境界条件とし、一導電型シリコン活性層 $3_{n/p}$ に水平方向の電位が一定の電界 $E(x)$ を与え、例えば、ポアソン方程式を解くコンピュータプログラム、デバイスシミュレーションまたは解析的な手法により、素子内部の電界分布を求める。

【0089】埋込み絶縁膜 $2_{ins.}$ と一導電型シリコン活性層 $3_{n/p}$ との界面に垂直な電界を $E_V(x)$ とすると、最適な不純物濃度プロファイル $N(x)$ は、 $N(x) = \epsilon \cdot E_V(x) / (q \cdot t_{Si})$ となる。

【0090】ただし、 ϵ は埋込み絶縁膜 $2_{ins.}$ の誘電率、 q は素電荷、 t_{Si} は一導電型シリコン活性層 $3_{n/p}$ の厚さを示している。なお、 $N(x)$ が負であればp型、 $N(x)$ 正であればn型となる。

【0091】本実施例の方法によれば、埋込み絶縁膜 $2_{ins.}$ の形状が複雑であったり、素子が3次元的な形状であっても数学的に最適な不純物濃度プロファイルが求まる。図33は、本発明の第20の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図である。

【0092】本実施例の高耐圧半導体素子が第19の実施例のそれと異なる点は、i型シリコン活性層3i上に多段のフィールドプレート 14_F 、 14_{Fn} が設けられていることにある。

【0093】フィールドプレート 14_F はn側電極4に接続していないフローティングのフィールドプレートであり、フィールドプレート 14_{Fn} はn側電極4に接続したフィールドプレートである。また、隣り合うフィールドプレートは絶縁膜15により分離されている。

【0094】フィールドプレートが金属製の場合には、フィールドプレート 14_F とi型シリコン活性層3iとをショットキー接続するか、またはフィールドプレート 14_F を拡散層を介してi型シリコン活性層3iに接続する。

【0095】ここで、拡散層を介して接続するときは、n側電極4側のn型不純物濃度が高い領域のフィールドプレート 14_F はn型拡散層を介してi型シリコン活性

層3iに接続し、また、p側電極5側のp型不純物濃度が高い領域のフィールドプレート 14_F はp型拡散層を介してi型シリコン活性層3iに接続すること好ましい。

【0096】また、フィールドプレートがポリシリコン製の場合には、フィールドプレート 14_F とi型シリコン活性層3iとを直接接続するか、またはフィールドプレート 14_F をポリシリコンを介してi型シリコン活性層3iに接続する。

【0097】ここで、拡散層を介して接続するときは、先の場合と同様に、n側電極4側のフィールドプレート 14_F はn型拡散層を介して、また、p側電極5側のフィールドプレート 14_F はp型拡散層を介して、i型シリコン活性層3iに接続すること好ましい。

【0098】本実施例によれば、フィールドプレート 14_F 、 14_{Fn} により、さらに耐圧を高くできる。耐圧を高くできることにより、i型シリコン活性層3iの不純物濃度を高くでき、かつオン電圧(オン抵抗)を小さくできるようになる。

【0099】図34は、本発明の第21の実施例に係る高耐圧半導体素子(MOSFET)の素子構造を示す断面図である。

【0100】本実施例は、厚い埋込みシリコン酸化膜 $2_{thic.}$ 上のi型シリコン活性層3iに直列接続された複数のMOSFETを形成した例である。

【0101】MOSFETは、p型エミッタ層5(この場合にはp型ウェル層としてのp型エミッタ層)の表面に選択的に形成された高濃度のn型ソース層16と、i型シリコン活性層3iの表面に選択的に形成されたn型ドレイン層17と、このn型ドレイン層17とn型ソース層16との間のp型エミッタ層(p型ウェル層)5およびi型シリコン活性層3i上の絶縁膜15内に形成されたゲート電極19とにより構成されている。この場合、絶縁膜15は、ゲート絶縁膜としての薄い絶縁膜と、ゲート電極19を覆う厚い絶縁膜とからなる。

【0102】従来のSOI基板では、埋込みシリコン酸化膜が比較的薄かったので、何の工夫もなく素子を直列接続すると、高耐圧が得られなくなる。

【0103】一方、埋込みシリコン酸化膜が厚い場合には、i型シリコン活性層の不純物濃度を十分に薄くすることにより、素子を直列接続しても高耐圧が得られる。しかし、この場合には、オン電圧が高くなるという問題がある。

【0104】これに対して本実施例の場合には、まず、S字型の不純物濃度プロファイルにより耐圧が向上し、さらにi型シリコン活性層3iが空乏化したときに発生する電荷がフィールドプレート 14_F 、 14_{Fn} により打ち消される。

【0105】したがって、本実施例によれば、厚い埋込みシリコン酸化膜 $2_{thic.}$ を用いてもi型シリコン活性

層31の不純物濃度を高くできるので、高耐圧化および低オン電圧化の両方を同時に実現できるようになる。

【0106】図35は、本発明の第22の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図である。

【0107】本実施例の高耐圧半導体素子が図28の第19の実施例のそれと異なる点は、絶縁膜15上に、酸化物以外の絶縁物(例えば、空気)からなる絶縁膜21(具体的には図示せず)を介して、長いフィールドプレート14_Lを設けたことにある。

【0108】埋込みシリコン酸化膜2_{thic}が厚い場合、従来の高耐圧半導体素子では、電界の集中が広範囲にわたって起こる。すなわち、電界の集中は、i型シリコン活性層31のみならず、n型エミッタ層4、p型エミッタ層5の近傍でも起こる。また、電界の集中がなくても、低濃度のn型シリコン層であるi型シリコン活性層31のかなりの部分がp型になる。

【0109】しかし、本実施例によれば、長いフィールドプレート14_Lにより、i型シリコン活性層31からn型エミッタ層4にわたる領域の電界の集中を効果的に抑制でき、さらにi型シリコン活性層31の全体をn型にすることができる。また、このようにi型シリコン活性層31をn型に保つことができれば、MOSFETの作製が容易になる。

【0110】図36は、本発明の第23の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図である。

【0111】本実施例の高耐圧半導体素子が第21の実施例のそれと異なる点は、より長いフィールドプレート14_{LL}を用いたことにある。

【0112】すなわち、本実施例では、n型エミッタ層4からp型エミッタ層5まで延びた長いフィールドプレート14_{LL}を用いている。

【0113】このような長いフィールドプレート14_{LL}を用いることにより、広範囲にわたる電界の集中をより効果的に抑制でき、そしてi型シリコン活性層31もより効果的にn型に保つことができるようになる。

【0114】なお、本発明は上述した実施例に限定されるものではない。例えば、上記実施例では、高耐圧半導体素子としてpinダイオードやMOSFETを用いた場合について説明したが、本発明は、他の高耐圧半導体素子、例えば、横型IGBT、横型IEGT等の高耐圧半導体素子の場合にも有効である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0115】

【発明の効果】以上詳述したように本発明(請求項1、2)によれば、表面に凹凸部が形成された絶縁膜(請求項1)、電気的に浮き、帯電した電極が埋め込まれた絶縁膜(請求項2)を用いることにより、半導体膜の電界密度を小さくでき、従来よりも半導体素子の耐圧を高く

できる。

【0116】また、本発明(請求項3)によれば、不純物の濃度プロファイルをS字型にすることにより、基板を構成する絶縁膜として厚い絶縁膜を用いた場合にも、従来よりも半導体素子の耐圧を高くできる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図

【図2】図1の高耐圧半導体素子の作用・効果を説明するための図

【図3】本発明の第2の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図

【図4】本発明の第3の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図

【図5】本発明の第4の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図

【図6】埋込みシリコン酸化膜の凹凸パターンを示す平面図

【図7】埋込みシリコン酸化膜の他の凹凸パターンを示す平面図

【図8】埋込みシリコン酸化膜の凹凸パターンを示す断面図

【図9】本発明の第5の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図

【図10】図5の高耐圧半導体素子の作用・効果を説明するための図

【図11】アバランシェ現象が生じる前の素子内の電界分布を示す図

【図12】アバランシェ現象が生じた後の素子内の電界分布を示す図

【図13】本発明の第6の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図

【図14】ローテイング電極の平面形状を示す平面図

【図15】ローテイング電極の他の平面形状を示す平面図

【図16】本発明の第7の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図

【図17】本発明の第8の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図

【図18】本発明の第9の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図

【図19】本発明の第10の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図

【図20】本発明の第11の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図

【図21】本発明の第12の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図

【図22】本発明の第13の実施例に係る高耐圧半導体素子(pinダイオード)の素子構造を示す断面図

【図23】本発明の第14の実施例に係る高耐圧半導体

13

素子 (pin ダイオード) の素子構造を示す断面図

【図 24】本発明の第 15 の実施例に係る高耐圧半導体素子 (pin ダイオード) の素子構造を示す断面図

【図 25】本発明の第 16 の実施例に係る高耐圧半導体素子 (pin ダイオード) の素子構造を示す断面図

【図 26】本発明の第 17 の実施例に係る高耐圧半導体素子 (pin ダイオード) の素子構造を示す断面図

【図 27】本発明の第 18 の実施例に係る高耐圧半導体素子 (pin ダイオード) の素子構造を示す断面図

【図 28】本発明の第 19 の実施例に係る高耐圧半導体素子 (pin ダイオード) の素子構造および不純物プロファイルを示す図

【図 29】従来の高耐圧半導体素子の素子構造および不純物プロファイルを示す図

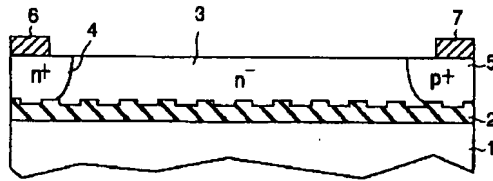
【図 30】図 29 の従来の高耐圧半導体素子内の電界分布を示す図

【図 31】図 28 の実施例の高耐圧半導体素子内の電界分布を示す図

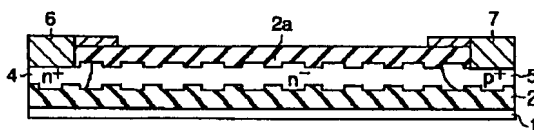
【図 32】埋込み絶縁膜厚い場合の最適な不純物濃度プロファイルの求め方を説明するための図

【図 33】本発明の第 20 の実施例に係る高耐圧半導体素子 (pin ダイオード) の素子構造を示す断面図

【図 1】



【図 3】



14

【図 34】本発明の第 21 の実施例に係る高耐圧半導体素子 (MOSFET) の素子構造を示す断面図

【図 35】本発明の第 22 の実施例に係る高耐圧半導体素子 (pin ダイオード) の素子構造を示す断面図

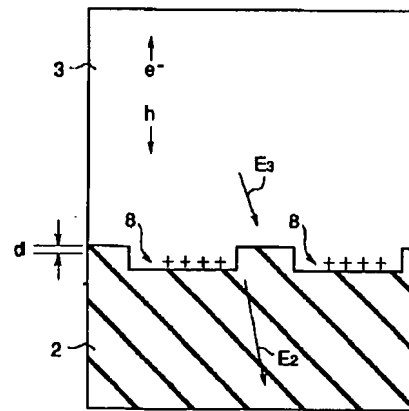
【図 36】本発明の第 23 の実施例に係る高耐圧半導体素子 (pin ダイオード) の素子構造を示す断面図

【図 37】従来の高耐圧半導体素子 (pin ダイオード) の素子構造を示す断面図

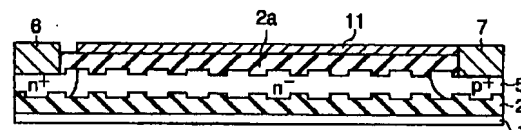
【符号の説明】

- | | | |
|----|--------------------|------------------------|
| 10 | 1 | …シリコン基板 |
| | 2 | …埋込みシリコン酸化膜 (SOI 絶縁膜) |
| | 2 _{thic.} | …厚い埋込み絶縁膜 (SOI 絶縁膜) |
| | 3 | …n 型シリコン活性層 (SOI 半導体膜) |
| | 4 | …n 型エミッタ層 |
| | 5 | …p 型エミッタ層 |
| | 6 | …n 側電極 |
| | 7 | …p 側電極 |
| | 8 | …反転層 |
| | 9 | …フローティング電極 |
| 20 | 11 | …フィールドプレート |
| | 12 | …上部電極 |
| | 13 | …イオン注入層 |

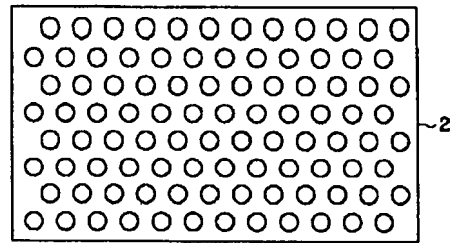
【図 2】



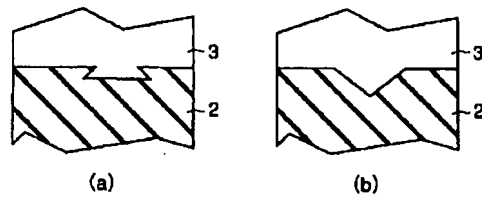
【図 4】



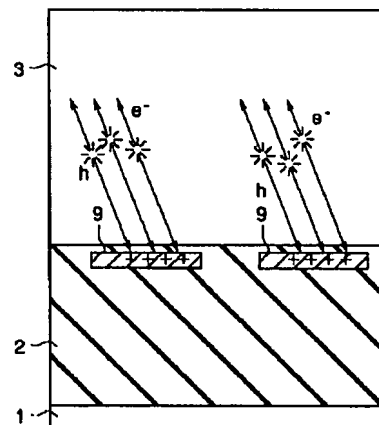
【図 6】



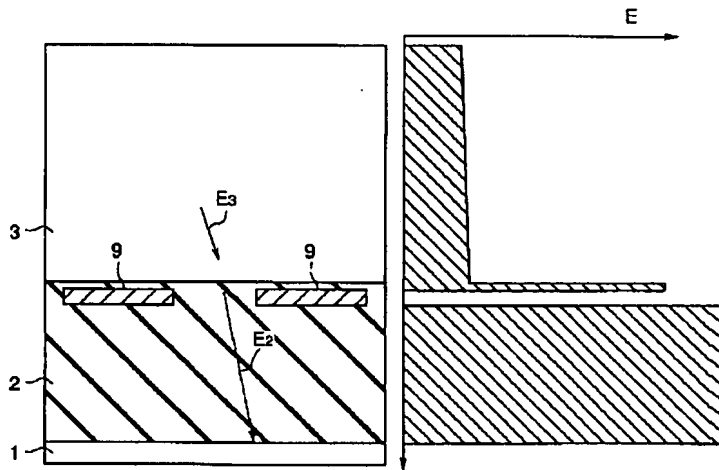
【図 8】



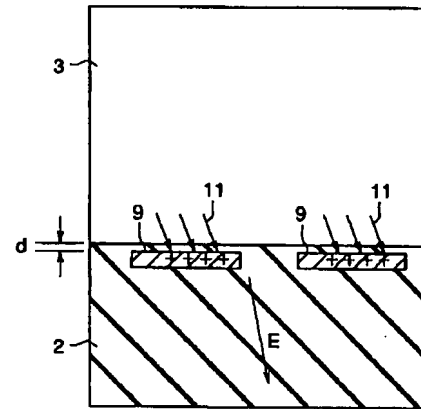
【图 10】



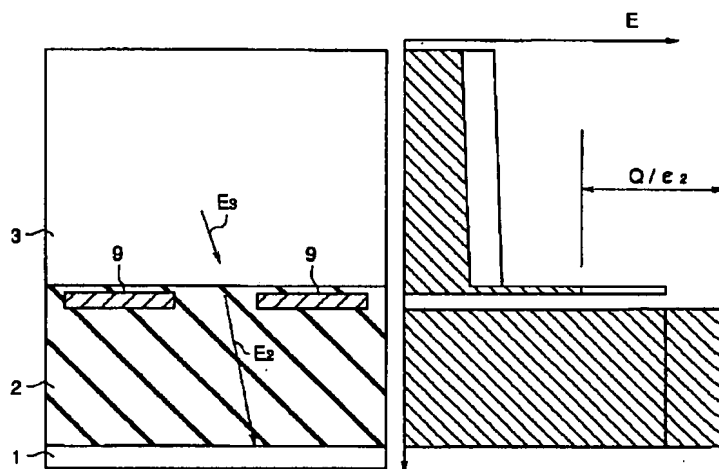
【図11】



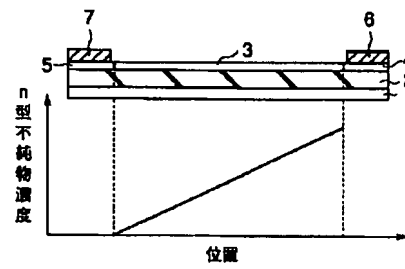
【図13】



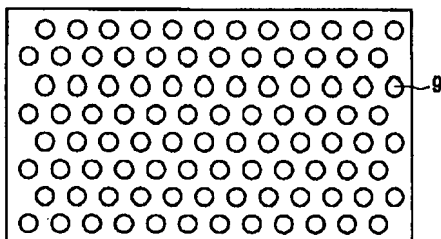
【図12】



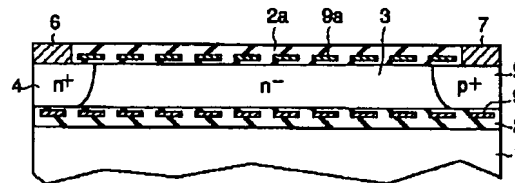
【図29】



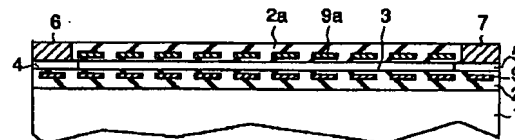
【図14】



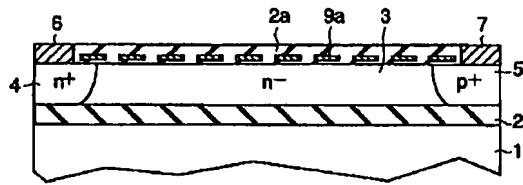
【図16】



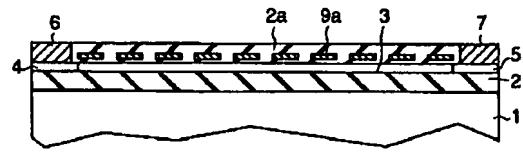
【図19】



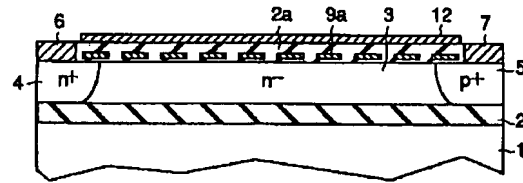
【図17】



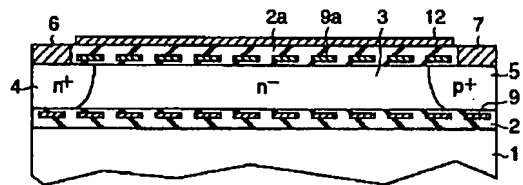
【図20】



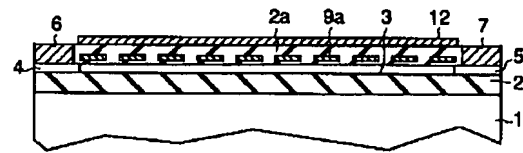
【図22】



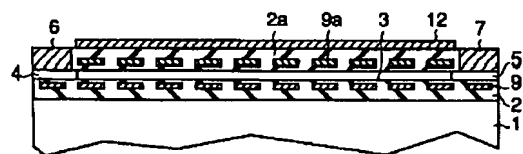
【図21】



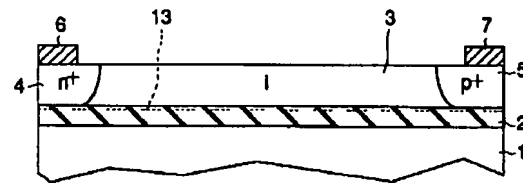
【図24】



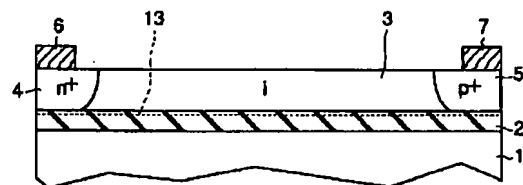
【図23】



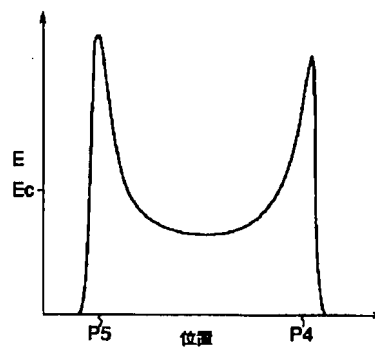
【図26】



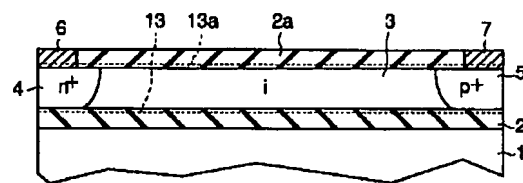
【図25】



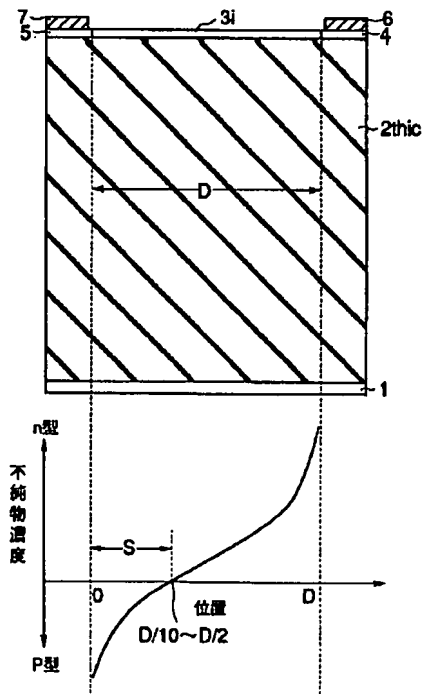
【図30】



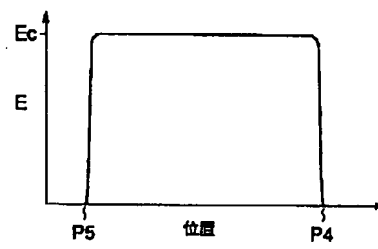
【図27】



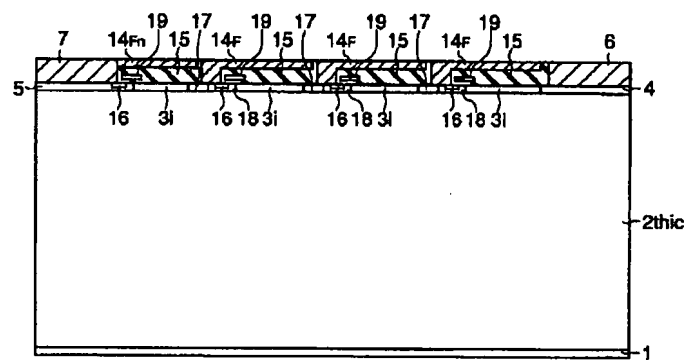
【図28】



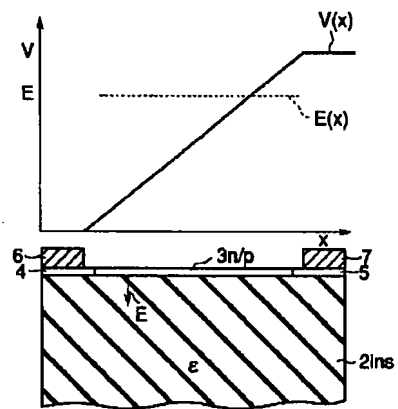
【図31】



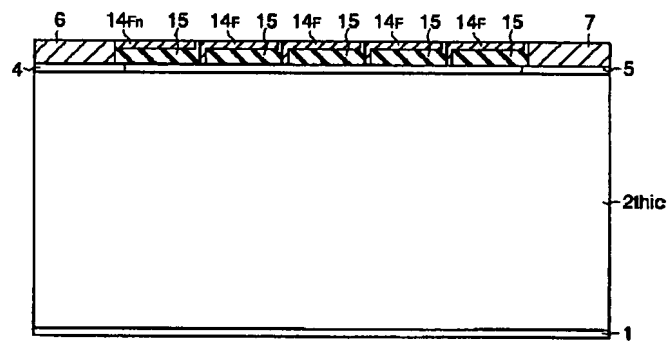
【図34】



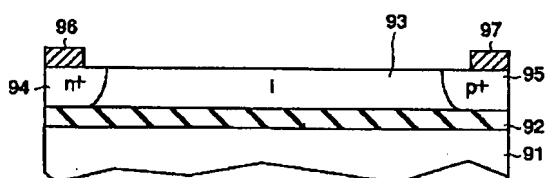
【図32】



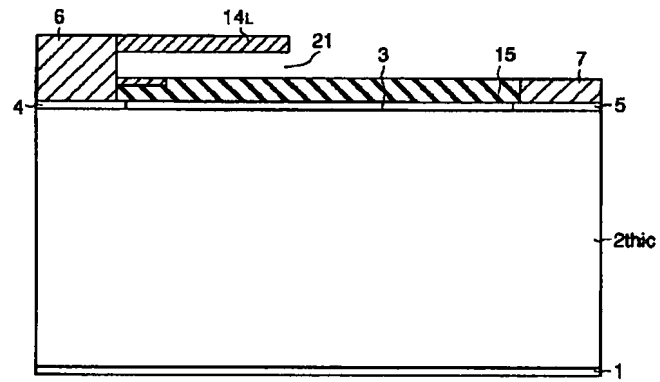
【図33】



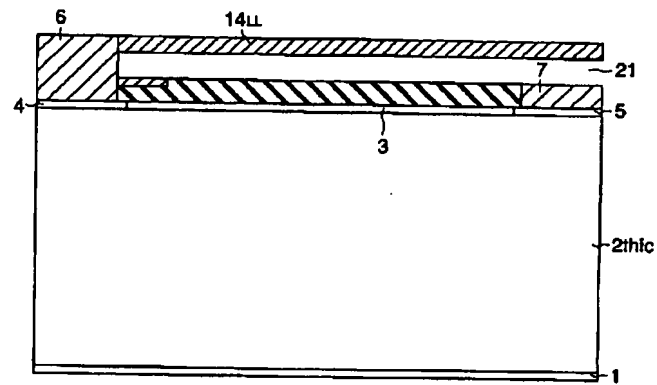
【図37】



【図35】



【図36】



【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 13 年 4 月 6 日（2001. 4. 6）

【公開番号】特開平 8－8 8 3 7 7

【公開日】平成 8 年 4 月 2 日（1996. 4. 2）

【年通号数】公開特許公報 8－8 8 4

【出願番号】特願平 6－2 2 0 6 3 6

【国際特許分類第 7 版】

H01L 29/861

27/12

【F I】

H01L 29/91 D

27/12 Z

【手続補正書】

【提出日】平成 12 年 3 月 15 日（2000. 3. 15）

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】基板と、

前記基板上に形成され、表面に凹凸部を有する絶縁膜と、

前記絶縁膜の凹凸部の上に形成された半導体膜とを具備してなり、

前記凹凸部は、前記半導体膜内を移動するキャリアをトラップすることを特徴とする半導体装置。

【請求項 2】前記絶縁膜の凹部の深さは、50nm より大であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】前記絶縁膜の凹部の横幅は、当該絶縁膜の厚さの 3 倍より小さいことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】前記絶縁膜の凸部の横幅は、当該絶縁膜の厚さの 3 倍より小さいことを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】前記半導体膜上に形成され、前記絶縁膜と同じ形状をし、かつ前記半導体膜内を移動するキャリア

をトラップするための凹凸部を有する第 2 の絶縁膜をさらに有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】基板と、

前記基板上に形成されており、内部に帯電可能な複数のフローティング電極が埋め込まれた絶縁膜と、

前記絶縁膜上に形成された半導体膜とを含む半導体素子を具備してなり、

前記各フローティング電極は、前記半導体膜内で発生される電荷が注入されることを特徴とする半導体装置。

【請求項 7】前記半導体素子は、絶縁ゲート型バイポーラトランジスタまたはサイリスタであることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】基板と、

前記基板上に形成された絶縁膜と、

前記絶縁膜上に形成され、不純物を含んだ半導体膜とを含む半導体素子を具備してなり、

前記半導体膜のドリフト領域における前記不純物のドリフト長方向の濃度プロファイルが S 字形であることを特徴とする半導体装置。

【請求項 9】前記絶縁膜の厚さは、前記半導体膜のドリフト長以上であることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】前記絶縁膜の厚さは、前記半導体膜の厚さよりも大きいことを特徴とする請求項 8 に記載の半導体装置。